

Con riferimento al circuito in figura:

- 1) Realizzare una rete duale di pull-up, in modo da realizzare un gate FCMOS.
- 2) Scrivere la funzione logica che il circuito implementa.
- 3) Dimensionare le reti di pull-up e pull-down affinché il ritardo per pilotare una capacità di uscita di 1 pF sia di 0.5 ns.
- 4) Indicare quali transistor potrebbero essere dimensionati in modo da occupare meno area senza peggiorare il tempo di propagazione.

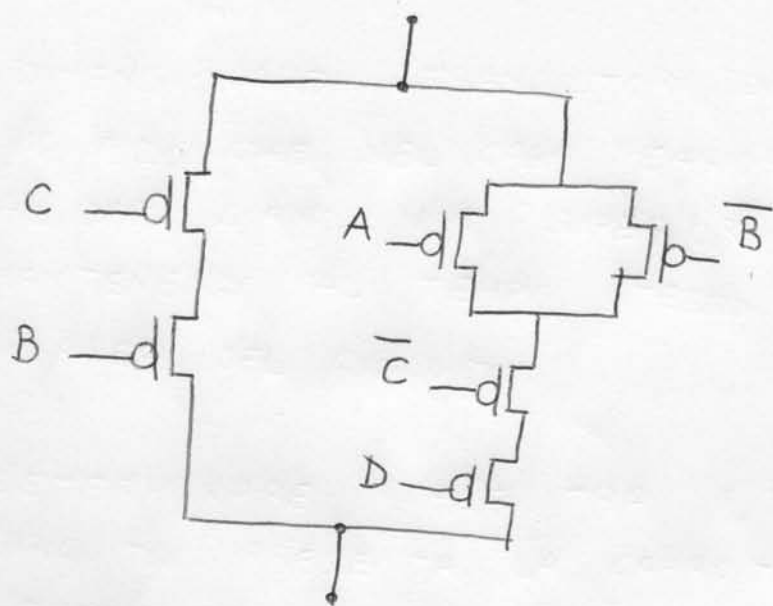
PARAMETRI TECNOLOGICI ($V_{DD} = 3.3 \text{ V}$)

n - channel

p - channel

V_{T0}	0.7 V	-0.7
K'	$100 \mu\text{A/V}^2$	$50 \mu\text{A/V}^2$
C_{ox}	$3.45 \text{ fF}/\mu\text{m}^2$	$3.45 \text{ fF}/\mu\text{m}^2$
L_{min}	$0.35 \mu\text{m}$	$0.35 \mu\text{m}$
λ	0	0
γ	0	0
$R_{eq}(V_{gs} = V_{dd} , 90\%, S = 1)$	$5.39 \text{ k}\Omega$	$10.78 \text{ k}\Omega$

1) La rete di PULL-UP è:



2) La funzione logica realizzata è:

$$\overline{OUT} = (B + C) \cdot [A \cdot \overline{B} + \overline{C} + D]$$

$$OUT = \overline{(B + C) \cdot (A \cdot \overline{B} + \overline{C} + D)}$$

3) CASO PEGGIORE RETE DI PULL-DOWN

3 NMOS IN SERIE ; A=1 B=0 C=1 D=0

$$S_{eqPD} = \frac{S_m}{3}$$

$$t_{f_{90\%}} = \frac{2 C_L}{\beta'_m S_{eqPD}} \cdot F_{m_{90\%}} \leq t^* = 500 \text{ ps}$$

$$\frac{6 C_L}{\beta'_m S_m} \cdot F_{m_{90\%}} \leq t^*$$

$$S_m \geq \frac{6 C_L}{\beta'_m t^*} \cdot F_{m_{90\%}} = \frac{6 \cdot 10^{-12}}{100 \cdot 10^{-6} \cdot 500 \cdot 10^{-12}} \cdot 0,6212 =$$

$$= \frac{6 \cdot 10^6}{5 \cdot 10^4} \cdot 0,6212 = 74,54$$

Utilizzando il metodo della resistenza equivalente:

$$\frac{R_{meq, 90\%, S=1}}{\frac{S_m}{3}} \cdot C_L \cdot \ln(10) \leq t^*$$

$$S_m \geq \frac{3 R_{m \text{eq}, \text{gox}, s=1} \cdot C_L \cdot \ln(10)}{t^*} =$$

$$= \frac{3 \cdot 5390 \cdot \cancel{10^{-12}} \cdot 2,30258}{500 \cdot \cancel{10^{-12}}} = 74,46$$

Quindi $S_m \approx 75$

CASO PEGGIORE RETE DI PULL-UP

3 PMOS IN SERIE: $A=0 \quad B=0 \quad C=1 \quad D=0$
 $A=1 \quad B=1 \quad C=1 \quad D=0$

$$S_{\text{eqPU}} = \frac{S_p}{3}$$

$$t_{\text{gox}} = \frac{2 C_L}{\beta'_p S_{\text{eqPU}}} \cdot F_{\text{Pgox}} = \frac{6 C_L}{\beta'_p S_p} \cdot F_{\text{Pgox}} \leq t^* = 500 \text{ ps}$$

$$S_p \geq \frac{6 C_L}{\beta'_p t^*} F_{\text{Pgox}} = \frac{6 \cdot \cancel{10^{-12}}}{50 \cdot 10^{-6} \cdot 500 \cdot \cancel{10^{-12}}} \cdot 0,6212 =$$

$$= 149,08$$

Utilizzando il metodo della resistenza equivalente

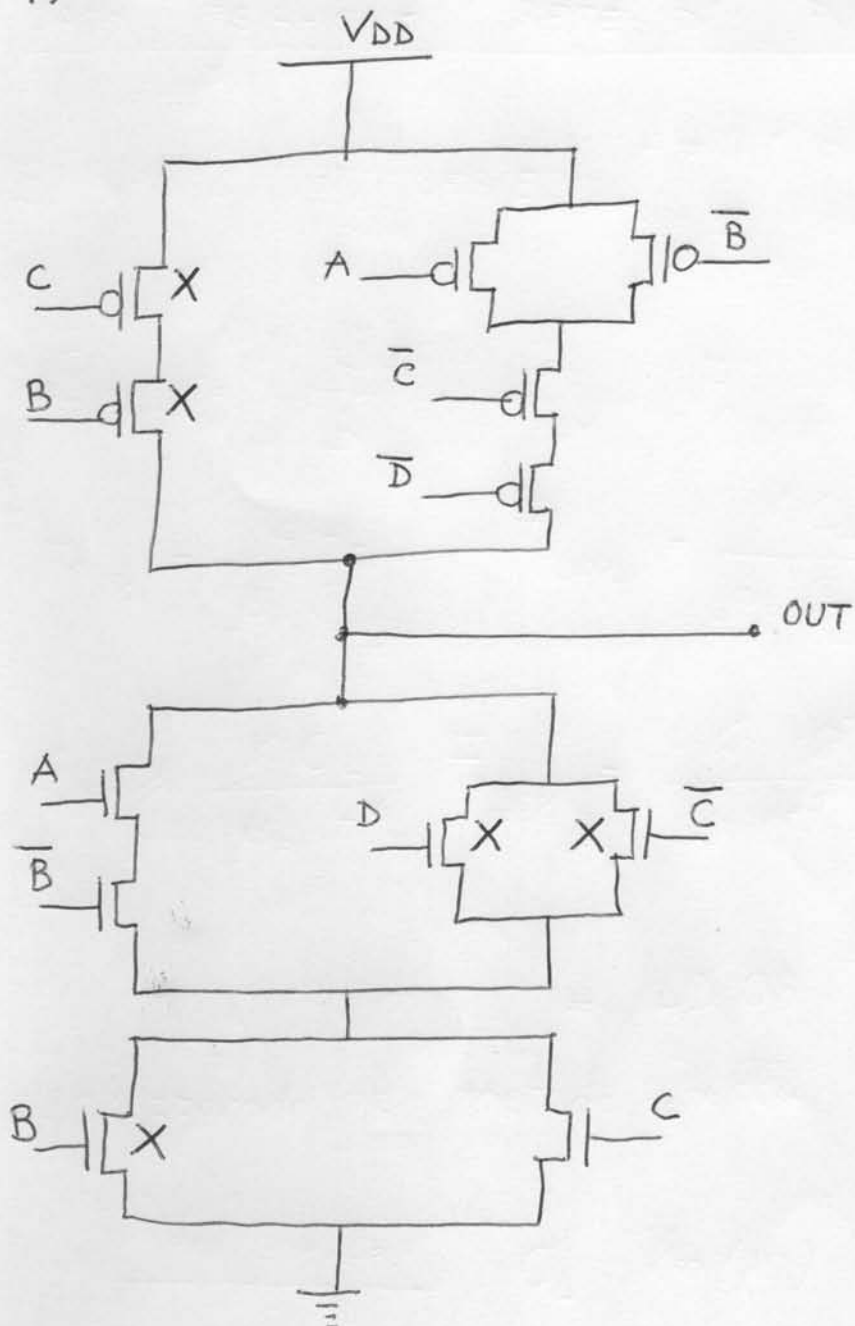
$$\frac{R_{\text{peq}, \text{gox}, s=1}}{\frac{S_p}{3}} \cdot C_L \cdot \ln(10) \leq t^*$$

$$S_p \geq \frac{3 R_{p_{eq, 90\%, S=1}} \cdot C_L \cdot \ln(10)}{t^*} = \frac{3 \cdot 10780 \cdot 10^{-12} \cdot 2,30258}{500 \cdot 10^{-12}}$$

$$= 148,93$$

Quindi $S_p \cong 150$

4)



I transistori che
possiamo essere
dimensionati con
un fattore di forma
inferiore a quello
determinato al
punto (3) sono quelli
indicati in figura
con una X